



Funktions-Blockschaltbild des Mikroprozessors 8085

		Daten werden mit der steigenden Flanke von $\overline{WR}$ übergeben. Während der Betriebsarten »Hold«, »Halt« und »Reset« ist der Ausgang hochohmig.
READY	E	Ein H-Signal an READY während eines Lese- oder Schreibzyklus zeigt an, dass der Speicher oder der Peripherie-Baustein zum Ausgeben oder Aufnehmen von Daten bereit ist. Wenn der READY-Eingang L-Signal führt, wartet die Zentraleinheit über eine ganze Zahl von Taktperioden, bis READY auf H-Pegel übergeht, worauf der Lese- oder Schreibzyklus beendet wird.
HOLD	E	HOLD zeigt an, dass eine andere Einheit den Adressen- und Daten-Bus anfordert. Nach dem Eintreffen der HOLD-Anforderung gibt die Zentraleinheit den Bus frei, sobald die augenblicklich ablaufende Bus-Operation beendet ist. Interne Operationen können weiterhin ablaufen. Der Mikroprozessor hat erst dann wieder Zugang zum Bus, wenn das Signal HOLD zurückgenommen wird. Sobald das HOLD-Signal quittiert ist, werden die Adressen- und Daten-Leitungen sowie $\overline{RD}$ , $\overline{WR}$ und $IO/\overline{M}$ hochohmig.
HOLDA	A	Quittung von HOLD: Das Signal zeigt an, dass die Zentraleinheit eine HOLD-Anforderung empfangen hat und den Bus in der nächsten Taktperiode freigeben wird. HLDA geht auf L-Signal über, sobald die HOLD-Anforderung zurückgenommen ist. Die Zentraleinheit übernimmt den Bus eine halbe Taktperiode nach dem Übergang von HLDA auf L-Pegel.
INTR	E	Unterbrechungs-Anforderung: Der Eingang wird als allgemeiner Interrupteingang verwendet. Er wird nur während der vorletzten Taktperiode eines Befehls abgefragt sowie während der Zustände »Hold« und »Halt«. Wenn der Eingang aktiv ist, wird das Inkrementieren des Programmzählers (PC) gesperrt und $\overline{INTA}$ ausgegeben. Während dieses Zyklus kann ein RESTART- oder CALL-Befehl für den Sprung zu dem Interrupt-Bedienungsprogramm eingefügt werden. Der Eingang INTR wird über Software freigegeben und gesperrt. Er wird ferner durch »Reset« sowie unmittelbar nach Annahme einer Unterbrechungsanforderung gesperrt.
$\overline{INTA}$	A	INTERRUPT-Quittung: Der Ausgang wird in dem Befehlszyklus nach Annahme eines INTR-Signals anstelle von $\overline{RD}$ verwendet (und hat den gleichen Zeitablauf). Er kann zur Aktivierung des Unterbrechungs-Steuerbausteins SAB8259A oder eines anderen Interrupt-Kanals verwendet werden.
RST 5.5 RST 6.5 RST 7.5	E	RESTART-Interrupt: Diese drei Eingänge haben den gleichen Zeitablauf wie INTR, bewirken jedoch, dass automatisch ein interner RESTART-Befehl eingefügt wird. Die Priorität dieser Interrupt-Eingänge ist so geordnet, wie in nachfolgender Tabelle gezeigt. Diese Interrupts haben eine höhere Priorität, als INTR. Außerdem können sie durch Verwendung des Befehls SIM einzeln maskiert werden.
TRAP	E	Der Interrupt-Eingang TRAP ist ein nicht maskierbarer RESTART-Interrupt-Eingang. Er wird gleichzeitig mit INTR oder

		Daten werden mit der steigenden Flanke von $\overline{WR}$ übergeben. Während der Betriebsarten »Hold«, »Halt« und »Reset« ist der Ausgang hochohmig.
READY	E	Ein H-Signal an READY während eines Lese- oder Schreibzyklus zeigt an, dass der Speicher oder der Peripherie-Baustein zum Ausgeben oder Aufnehmen von Daten bereit ist. Wenn der READY-Eingang L-Signal führt, wartet die Zentraleinheit über eine ganze Zahl von Taktperioden, bis READY auf H-Pegel übergeht, worauf der Lese- oder Schreibzyklus beendet wird.
HOLD	E	HOLD zeigt an, dass eine andere Einheit den Adressen- und Daten-Bus anfordert. Nach dem Eintreffen der HOLD-Anforderung gibt die Zentraleinheit den Bus frei, sobald die augenblicklich ablaufende Bus-Operation beendet ist. Interne Operationen können weiterhin ablaufen. Der Mikroprozessor hat erst dann wieder Zugang zum Bus, wenn das Signal HOLD zurückgenommen wird. Sobald das HOLD-Signal quittiert ist, werden die Adressen- und Daten-Leitungen sowie $\overline{RD}$ , $\overline{WR}$ und $IO/\overline{M}$ hochohmig.
HOLDA	A	Quittung von HOLD: Das Signal zeigt an, dass die Zentraleinheit eine HOLD-Anforderung empfangen hat und den Bus in der nächsten Taktperiode freigeben wird. HLDA geht auf L-Signal über, sobald die HOLD-Anforderung zurückgenommen ist. Die Zentraleinheit übernimmt den Bus eine halbe Taktperiode nach dem Übergang von HLDA auf L-Pegel.
INTR	E	Unterbrechungs-Anforderung: Der Eingang wird als allgemeiner Interrupteingang verwendet. Er wird nur während der vorletzten Taktperiode eines Befehls abgefragt sowie während der Zustände »Hold« und »Halt«. Wenn der Eingang aktiv ist, wird das Inkrementieren des Programmzählers (PC) gesperrt und $\overline{INTA}$ ausgegeben. Während dieses Zyklus kann ein RESTART- oder CALL-Befehl für den Sprung zu dem Interrupt-Bedienungsprogramm eingefügt werden. Der Eingang INTR wird über Software freigegeben und gesperrt. Er wird ferner durch »Reset« sowie unmittelbar nach Annahme einer Unterbrechungsanforderung gesperrt.
$\overline{INTA}$	A	INTERRUPT-Quittung: Der Ausgang wird in dem Befehlszyklus nach Annahme eines INTR-Signals anstelle von $\overline{RD}$ verwendet (und hat den gleichen Zeitablauf). Er kann zur Aktivierung des Unterbrechungs-Steuerbausteins SAB8259A oder eines anderen Interrupt-Kanals verwendet werden.
RST 5.5 RST 6.5 RST 7.5	E	RESTART-Interrupt: Diese drei Eingänge haben den gleichen Zeitablauf wie INTR, bewirken jedoch, dass automatisch ein interner RESTART-Befehl eingefügt wird. Die Priorität dieser Interrupt-Eingänge ist so geordnet, wie in nachfolgender Tabelle gezeigt. Diese Interrupts haben eine höhere Priorität, als INTR. Außerdem können sie durch Verwendung des Befehls SIM einzeln maskiert werden.
TRAP	E	Der Interrupt-Eingang TRAP ist ein nicht maskierbarer RESTART-Interrupt-Eingang. Er wird gleichzeitig mit INTR oder

		RST 5.5-7.5 abgefragt und von keiner Maske oder Interrupt-Freigabe beeinflusst. Er hat von allen Interrupt-Eingängen die höchste Priorität (siehe nachfolgende Tabelle).
$\overline{\text{RESET IN}}$	E	Ein L-Signal an diesem Eingang setzt den Programmzähler auf 0 und das Interrupt-Freigabe- sowie HLDA-Flipflop zurück. Der Daten- und Adressen-Bus sowie die Steuerleitungen sind, solange RESET ansteht, hochohmig. Da RESET asynchron arbeitet, können die internen Register und Flags des Prozessors durch RESET mit undefinierbaren Ergebnissen verändert werden. $\overline{\text{RESET IN}}$ ist ein Schmitt-Trigger-Eingang und ermöglicht den Anschluss einer R-C-Kombination zur RESET-Verzögerung beim Zuschalten der Versorgungsspannung. Die Zentraleinheit bleibt so lange zurückgesetzt, wie $\overline{\text{RESET IN}}$ ansteht.
RESET OUT	A	Zeigt an, dass die Zentraleinheit rückgesetzt wird. Dieser Ausgang kann als System-Rücksetzsignal verwendet werden. Das Signal ist mit dem Prozessor-Takt synchronisiert. Seine Dauer erstreckt sich über eine ganze Zahl von Taktperioden.
X <sub>1</sub> , X <sub>2</sub>	E	An X <sub>1</sub> und X <sub>2</sub> wird ein Quarz, eine LC- oder eine RC-Kombination zur Anregung des internen Taktgenerators angeschlossen. X <sub>1</sub> kann auch als Eingang für einen externen Takt verwendet werden. Die Eingangsfrequenz wird halbiert und ergibt die interne Arbeitsfrequenz des Prozessors.
CLK	A	Taktausgang zur Verwendung als Systemtakt. Die Periodendauer des Signals CLK beträgt das Doppelte der Eingangs-Periodendauer an X <sub>1</sub> , X <sub>2</sub>
SID	E	Eingang für serielle Datenübertragung. Der Zustand dieses Eingangs wird bei jeder Ausführung eines RIM-Befehls in das Bit 7 des Akkumulators übertragen.
SOD	A	Ausgang für serielle Datenübertragung. Der Ausgang SOD wird entsprechend der Form des Befehls SIM gesetzt bzw. rückgesetzt.

## Unterbrechungs-Prioritäten, Restart-Adressen und Ansprechbedingungen

Bezeichnung	Priorität	Sprung-adressen <sup>1)</sup>	Art der Triggerung
TRAP	1	24H	Ansteigende Flanke und H-Pegel bis zur Abfrage
RST 7.5	2	3CH	Ansteigende Flanke (wird gespeichert)
RST 6.5	3	34H	H-Pegel bis zur Abfrage
RST 5.5	4	2CH	H-Pegel bis zur Abfrage
INTR	5	<sup>2)</sup>	H-Pegel bis zur Abfrage

<sup>1)</sup> Vor dem Sprung zur angegebenen Adresse legt der Prozessor den Programmzählerstand (PC) im Stack ab.

<sup>2)</sup> Die Sprungadresse hängt von dem Befehl ab, welcher der CPU bei Quittung der Interrupt-Anforderung gegeben wird.

# Interrupt-Steuerung des Mikroprozessors 8085

